Materiały do wykładu

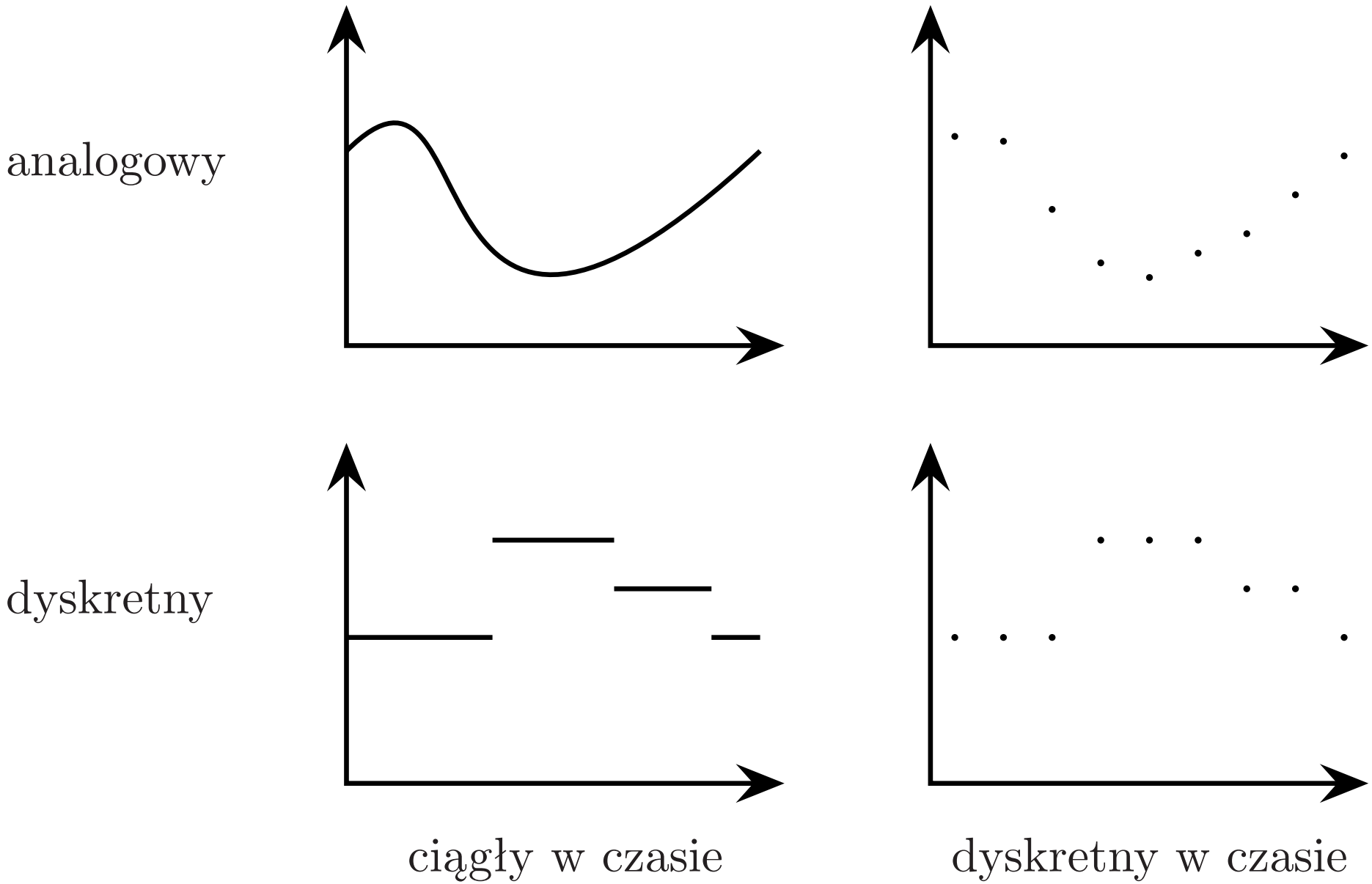
1. Podstawy techniki cyfrowej

Marcin Peczarski

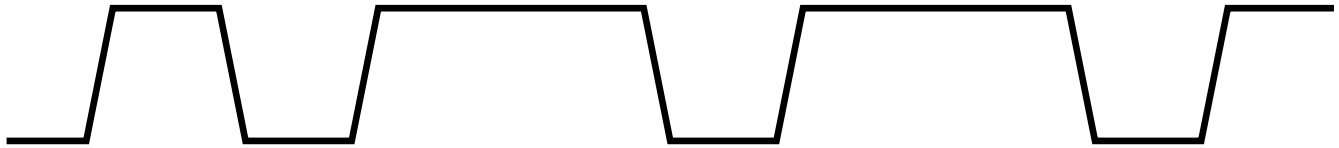
Instytut Informatyki
Uniwersytet Warszawski

15 lutego 2013

Sygnał



Sygnał binarny (dwójkowy)



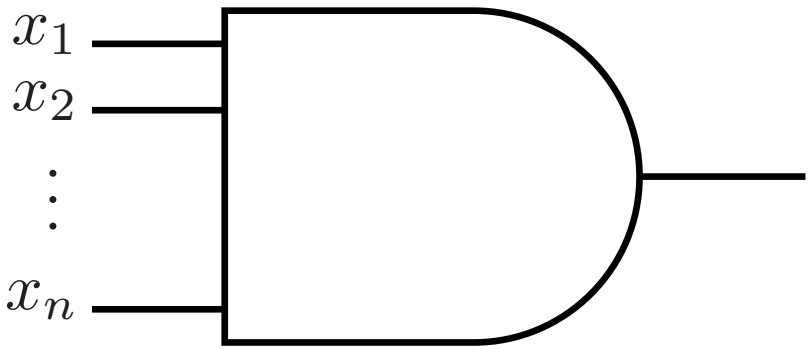
poziom	przykładowe napięcia [V]			konwencja logiczna	
				dodatnia	ujemna
wysoki H	$2{,}4 \div 5$	$3 \div 25$	$-1{,}1 \div -0{,}8$	1	0
niski L	$0 \div 0{,}4$	$-25 \div -3$	$-1{,}8 \div -1{,}5$	0	1

Układ cyfrowy

- Przetwarza sygnały dyskretne (na ogół binarne).
- Zbudowany jest z bramek logicznych.
- Bramki logiczne można zbudować np. z tranzystorów.

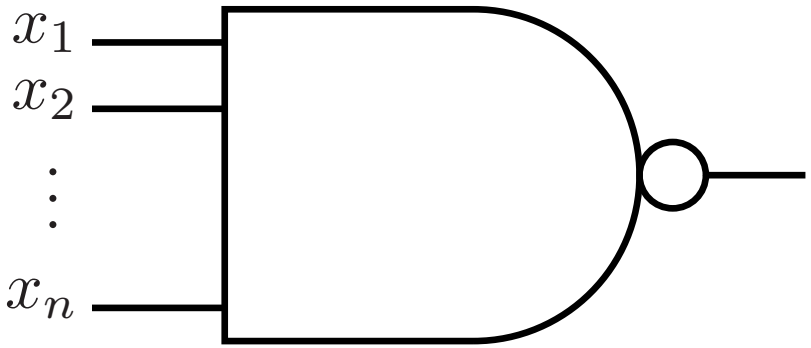
Bramki logiczne (1)

AND



$$y = x_1 \wedge x_2 \wedge \ldots \wedge x_n$$

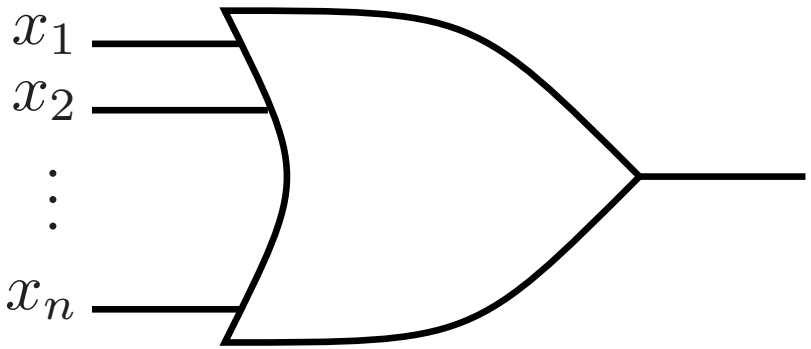
NAND



$$y = \neg(x_1 \wedge x_2 \wedge \ldots \wedge x_n)$$

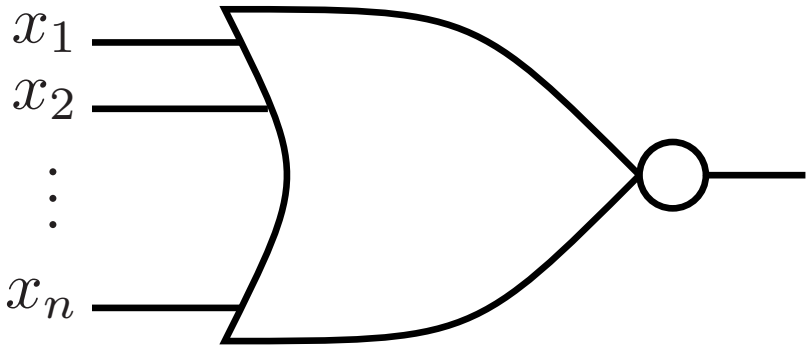
Bramki logiczne (2)

OR



$$y = x_1 \vee x_2 \vee \ldots \vee x_n$$

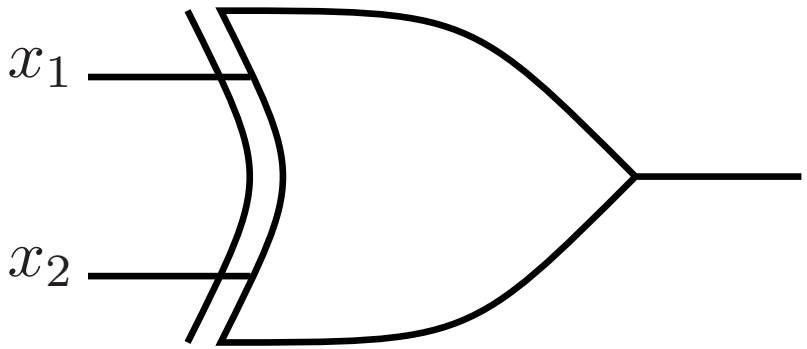
NOR



$$y = \neg(x_1 \vee x_2 \vee \ldots \vee x_n)$$

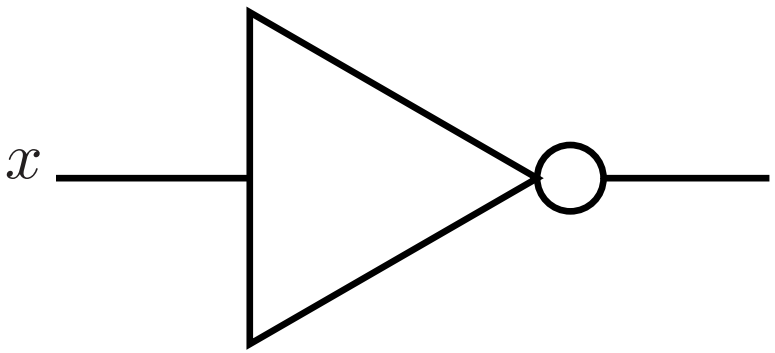
Bramki logiczne (3)

EX-OR



$y = (x_1 + x_2) \bmod 2$

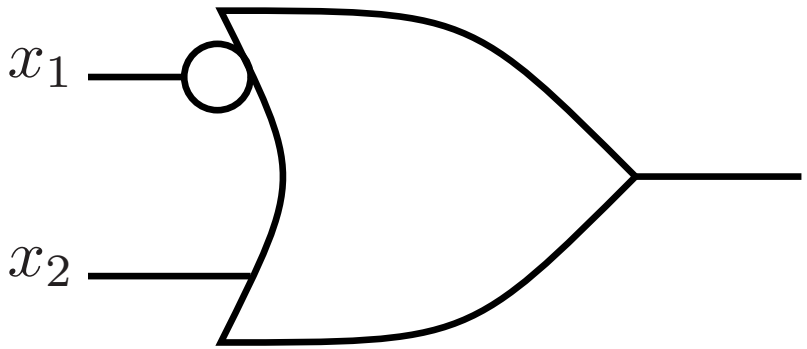
NOT



$y = \neg x$

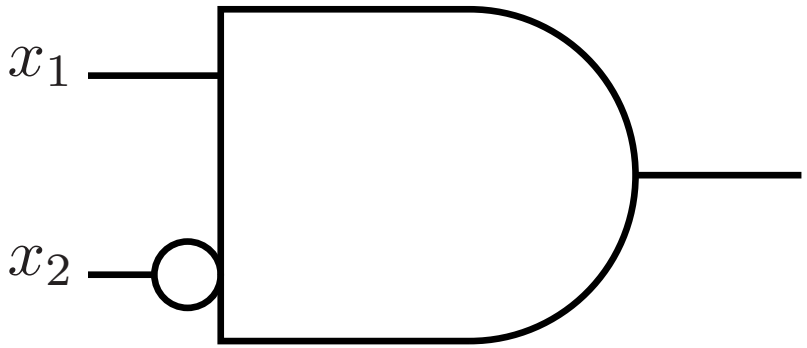
Bramki logiczne (4)

implikacja



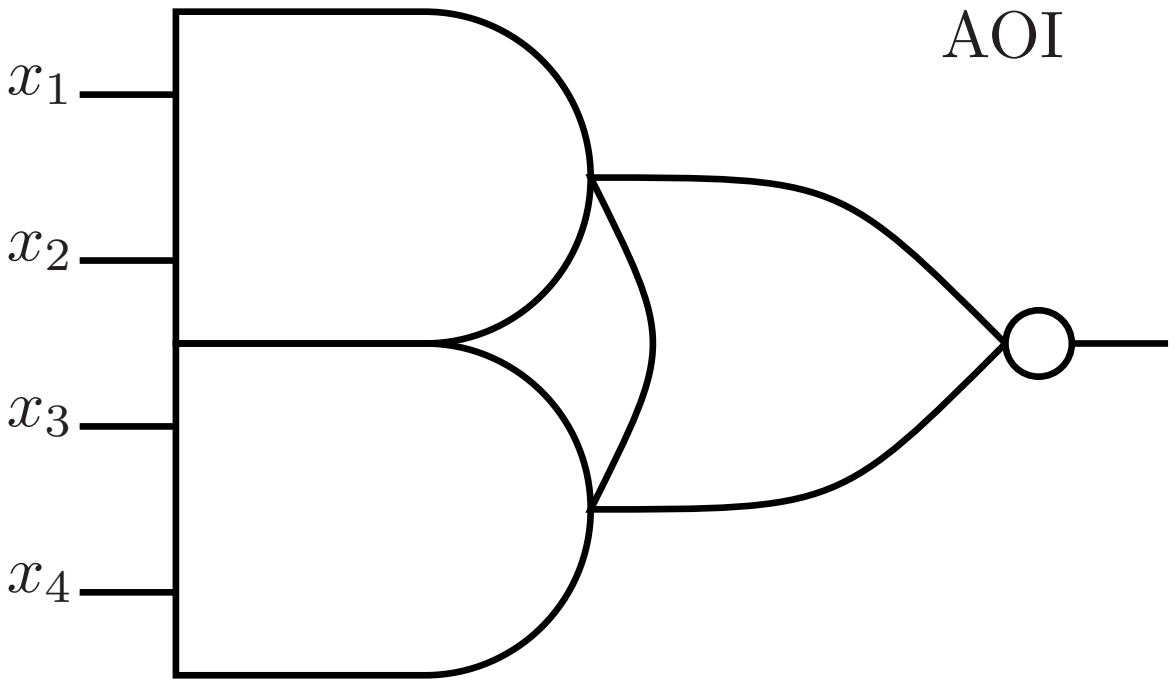
$y = \neg x_1 \vee x_2 = x_1 \rightarrow x_2$

zakaz



$y = x_1 \wedge \neg x_2$

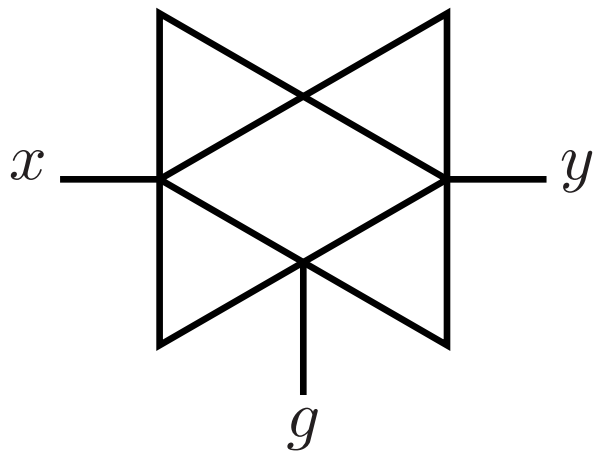
Bramki logiczne (5)



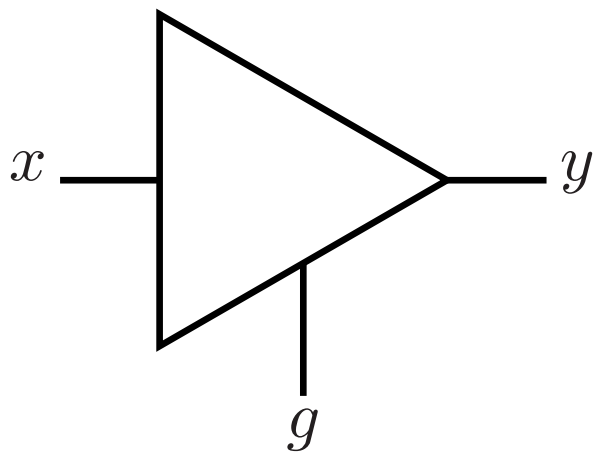
$$y = \neg((x_1 \wedge x_2) \vee (x_3 \wedge x_4))$$

Pomocnicze bramki cyfrowe

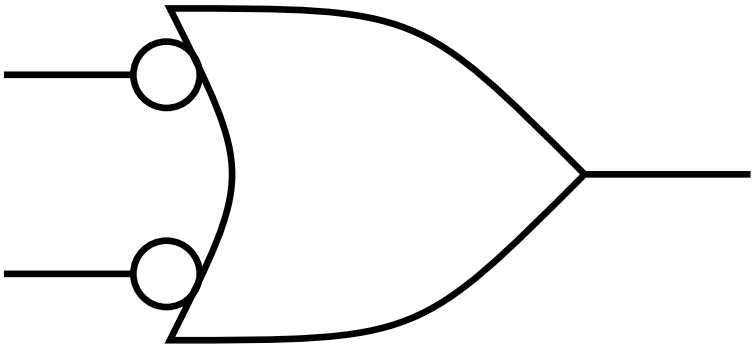
bramka transmisyjna



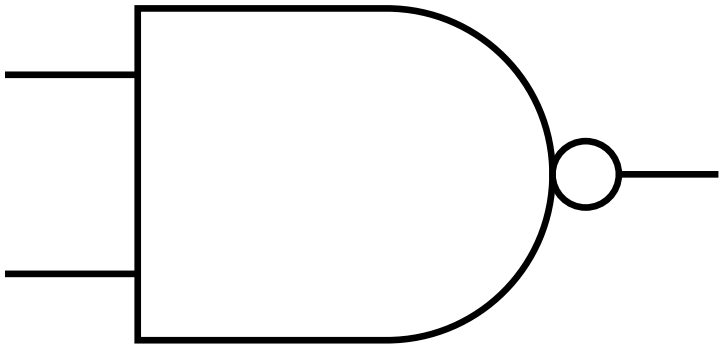
bufor trójstanowy

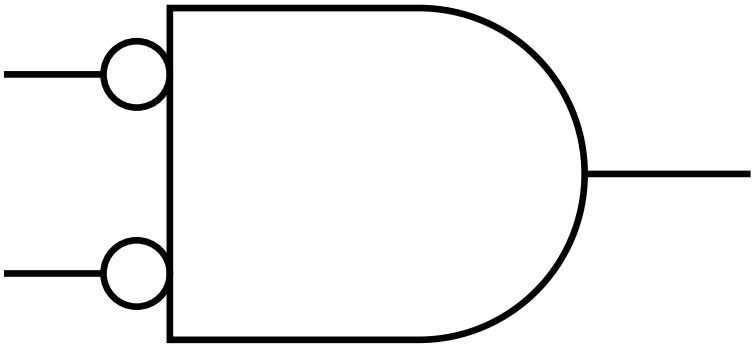


Prawa de Morgana

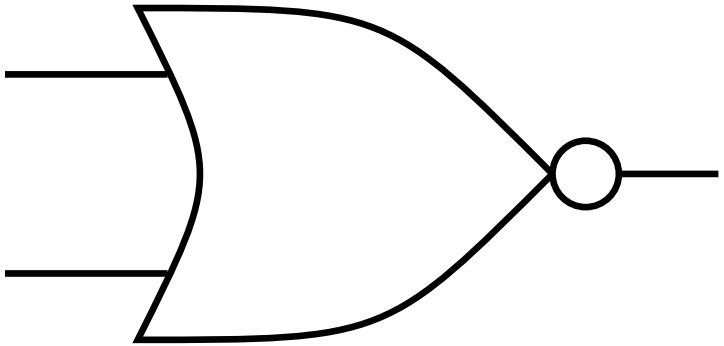


$\Leftrightarrow$

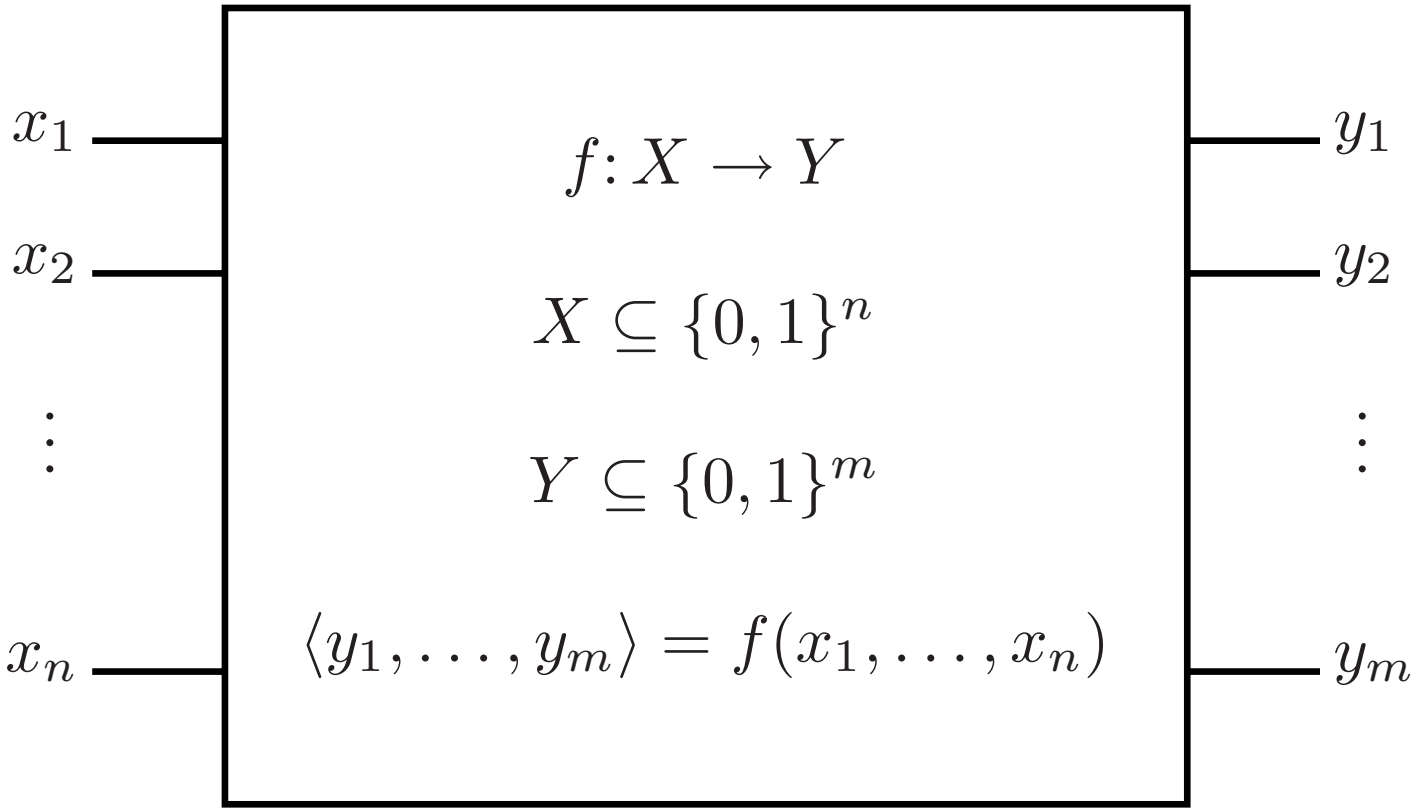




$\Leftrightarrow$



Układ kombinacyjny



System funkcjonalnie pełny (1)

- AND, OR, NOT
- NAND
- NOR
- OR, NOT
- implikacja, 0
- zakaz, 1
- AND, EX-OR, 1
- ...

System funkcjonalnie pełny (2)

$$f\colon X \to \{0,1\}, \quad \text{gdzie} \quad X \subseteq \{0,1\}^n$$

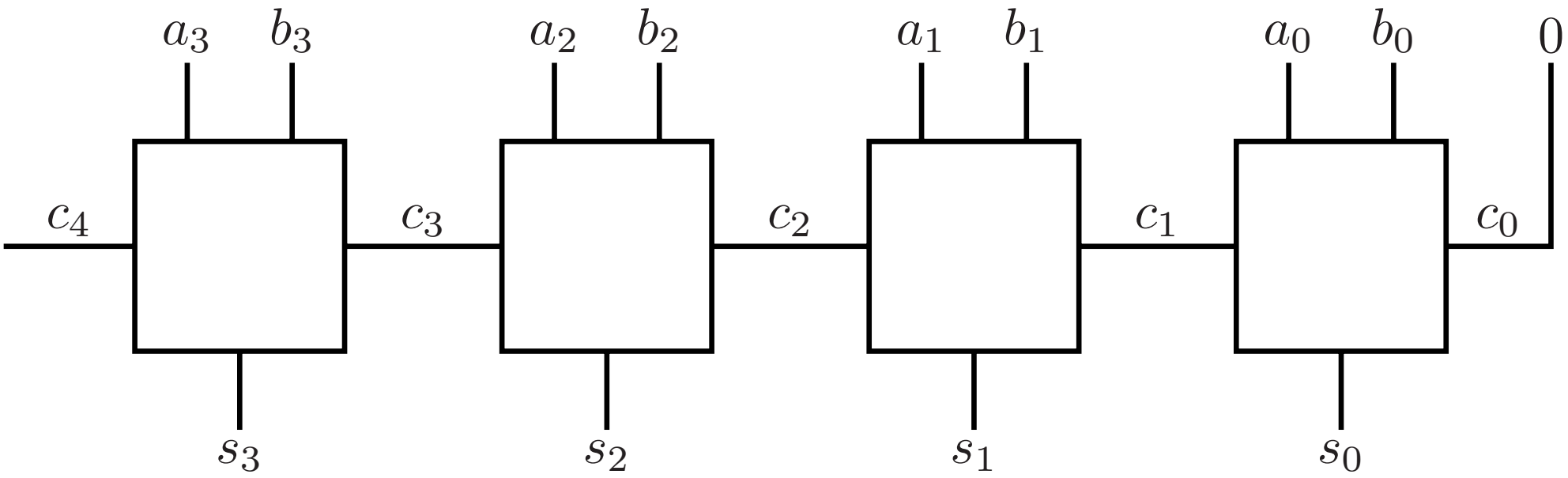
$$\mathcal{X} = \{\langle x_1, x_2, \ldots, x_n\rangle \in X : f(x_1, x_2, \ldots, x_n) = 1\}$$

$$f(x_1, \ldots, x_n) = \bigvee_{\langle a_1,\ldots,a_n\rangle \in \mathcal{X}} x_1^{a_1} \wedge \ldots \wedge x_n^{a_n} = \neg \bigwedge_{\langle a_1,\ldots,a_n\rangle \in \mathcal{X}} \neg(x_1^{a_1} \wedge \ldots \wedge x_n^{a_n})$$

$$x_i^{a_i} = \begin{cases} x_i & \text{gdy } a_i = 1 \\ \neg x_i & \text{gdy } a_i = 0 \end{cases}$$

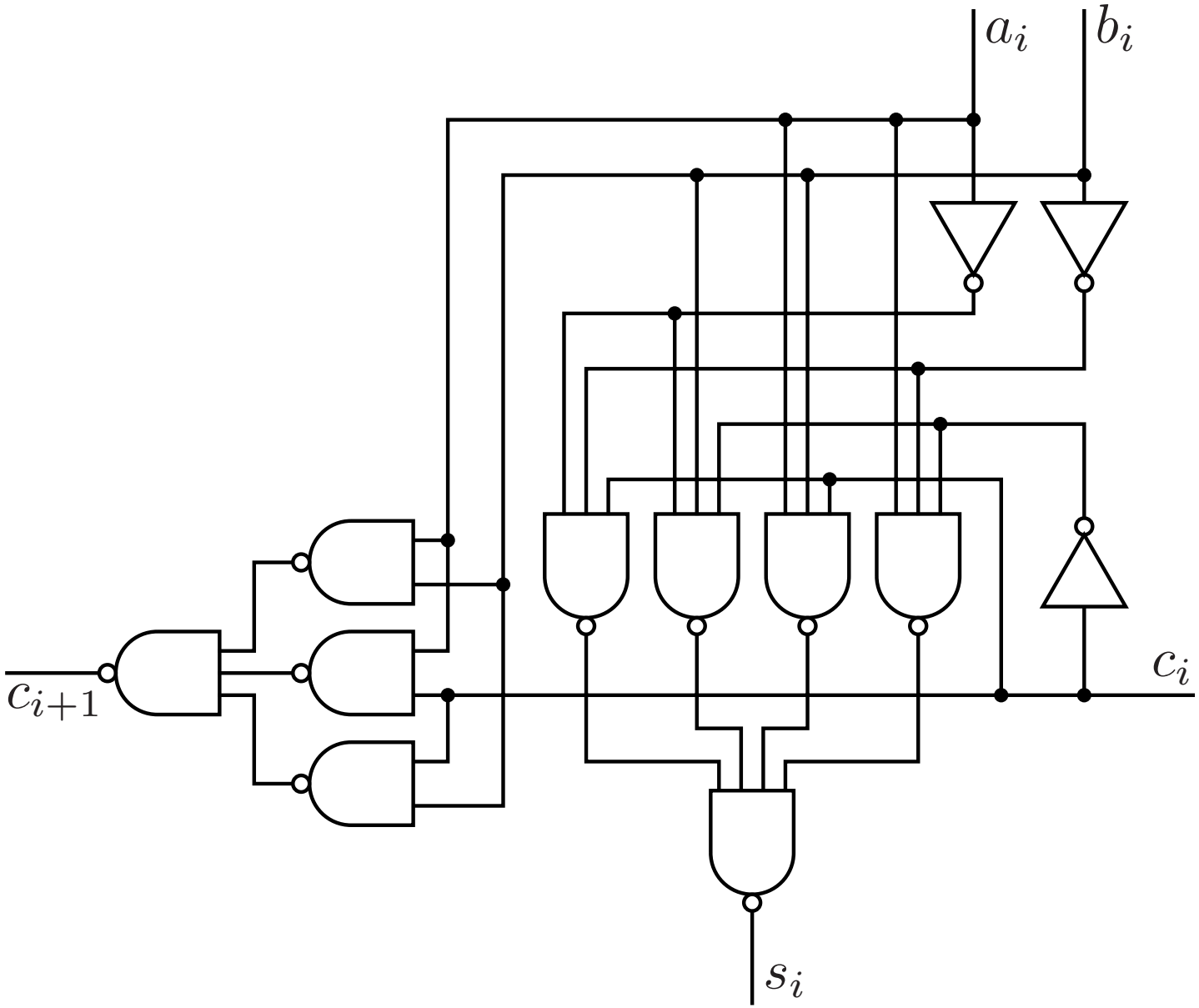
Sumator szeregowy

110	przeniesienia	bity c_i
0110	pierwszy składnik	bity a_i
+ 0111	drugi składnik	bity b_i
1101	suma	bity s_i



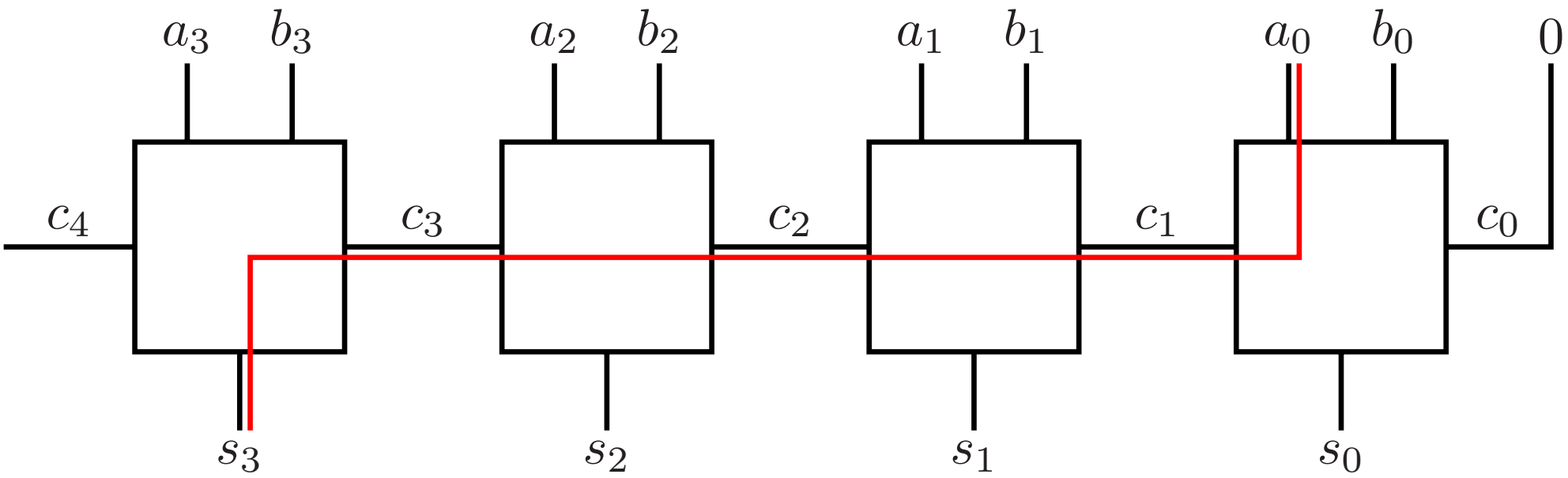
Sumator jednobitowy

a_i	b_i	c_i	c_{i+1}	s_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

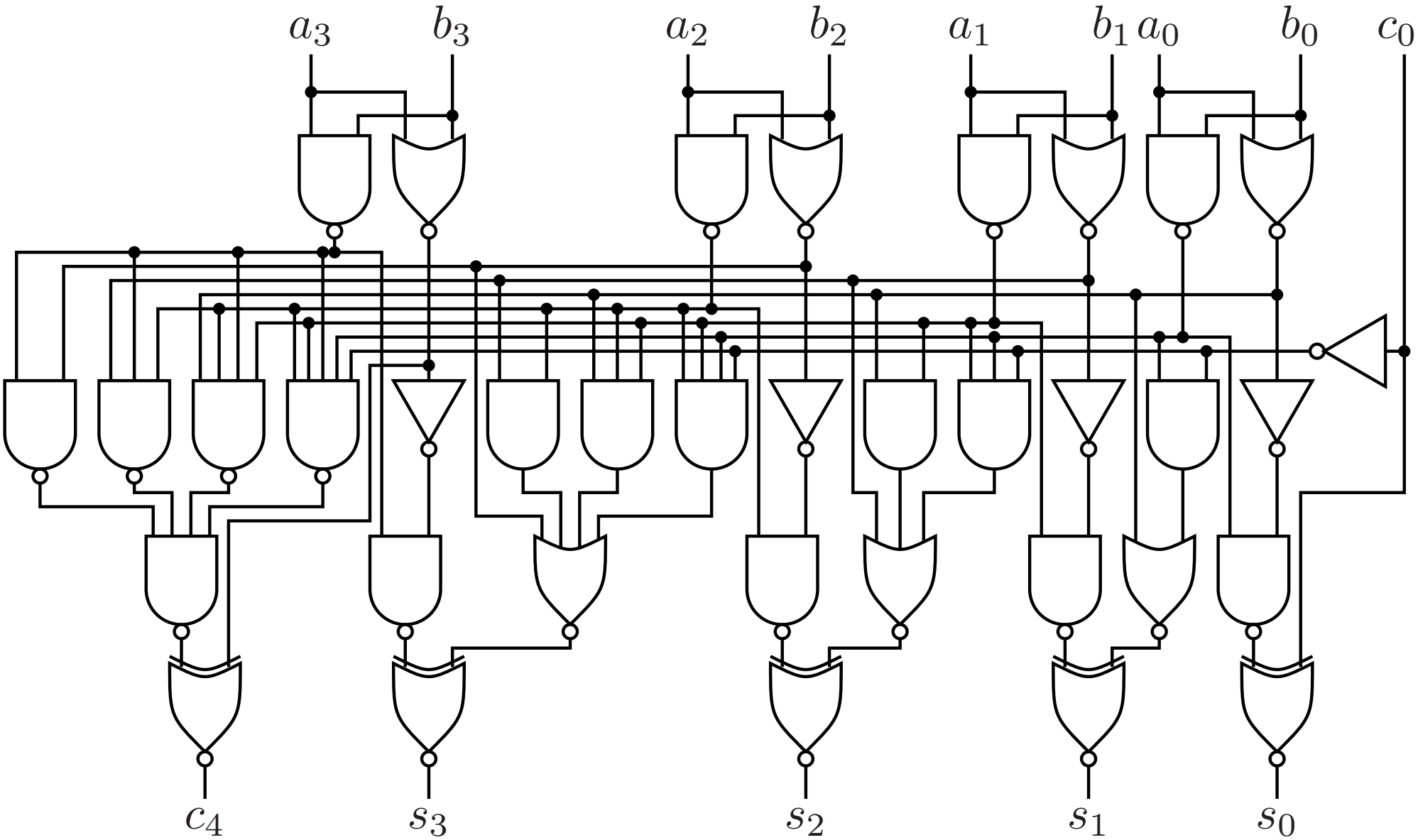


Szeregowy sumator 4-bitowy

- 48 bramek
- Ścieżka krytyczna długości 9



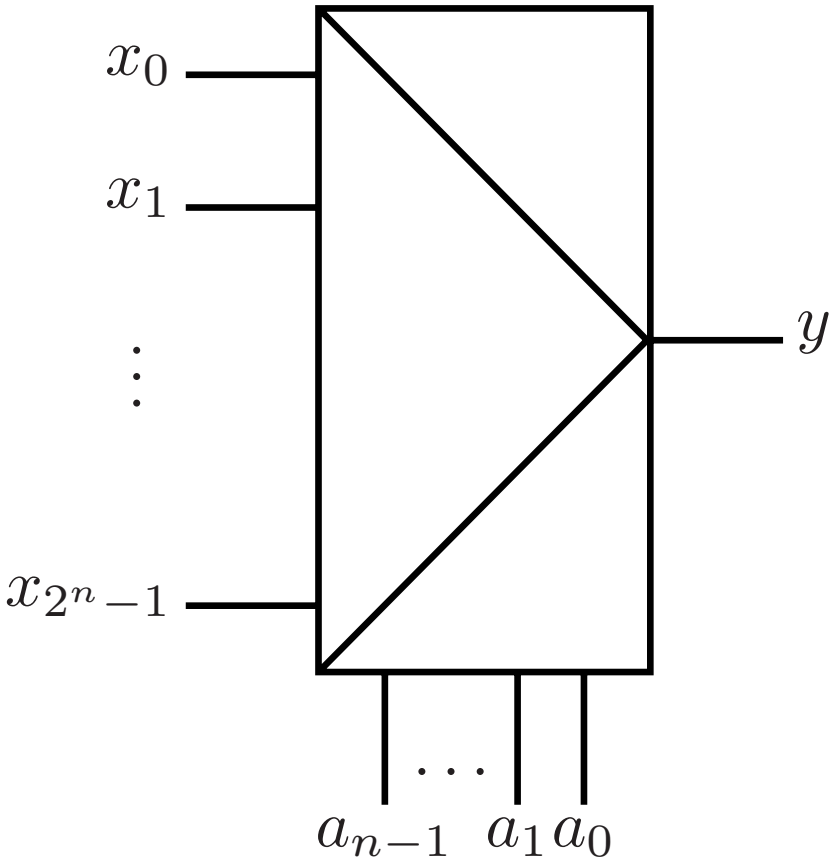
Sumator z szybkim generowaniem przeniesień

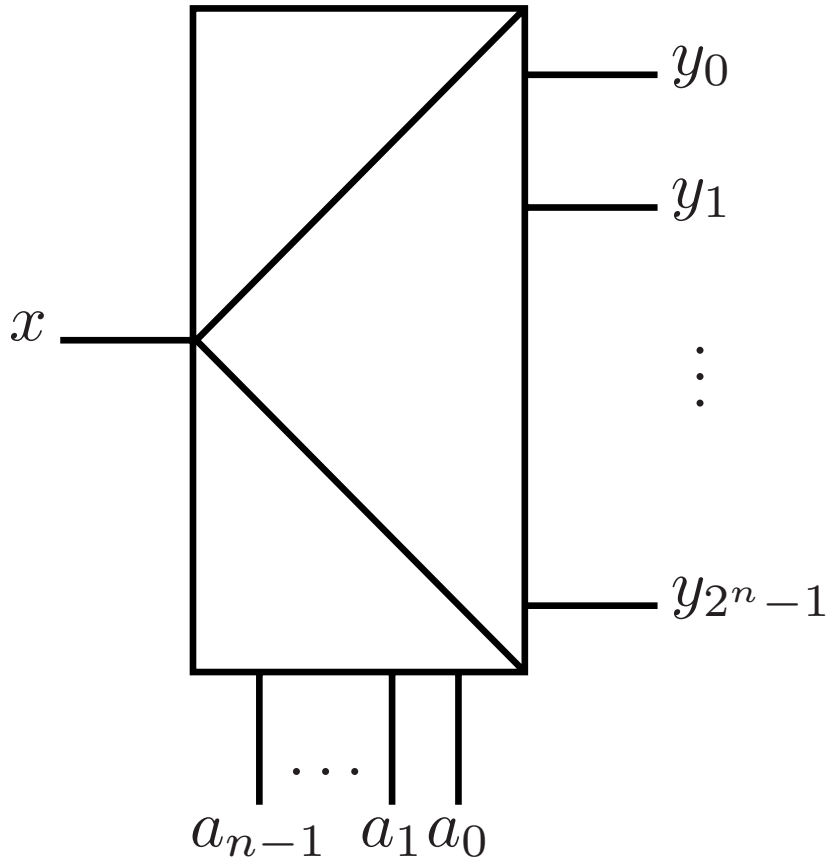


Porównanie sumatorów 4-bitowych

- Sumator szeregowy
  - 48 bramek
  - ścieżka krytyczna długości 9
- Sumator z szybkim generowaniem przeniesień
  - 36 bramek
  - ścieżka krytyczna długości 4

Multiplekser i demultiplekser

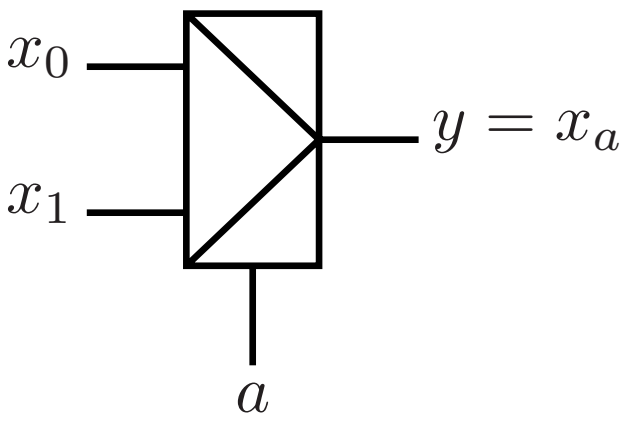


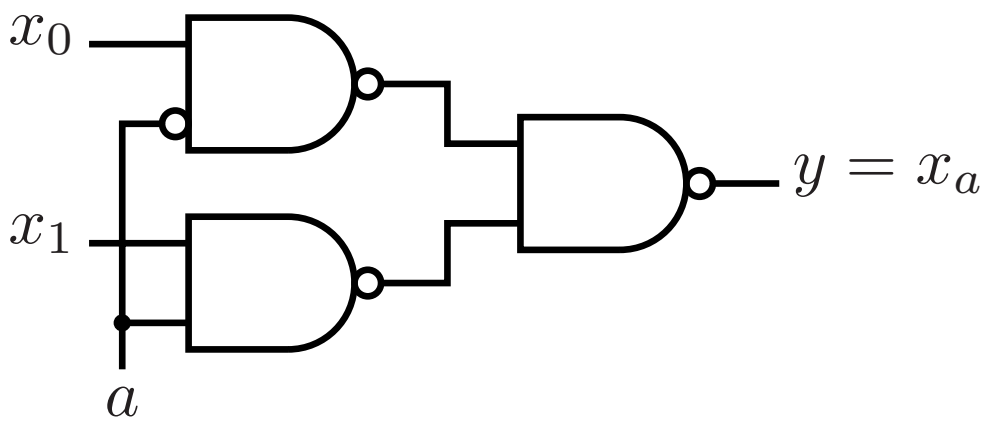


$$y = x_{a_{n-1}\ldots a_1 a_0}$$

$$y_i = \begin{cases} x & \text{gdy } i = a_{n-1}\ldots a_1 a_0 \\ 0 & \text{w p.p.} \end{cases}$$

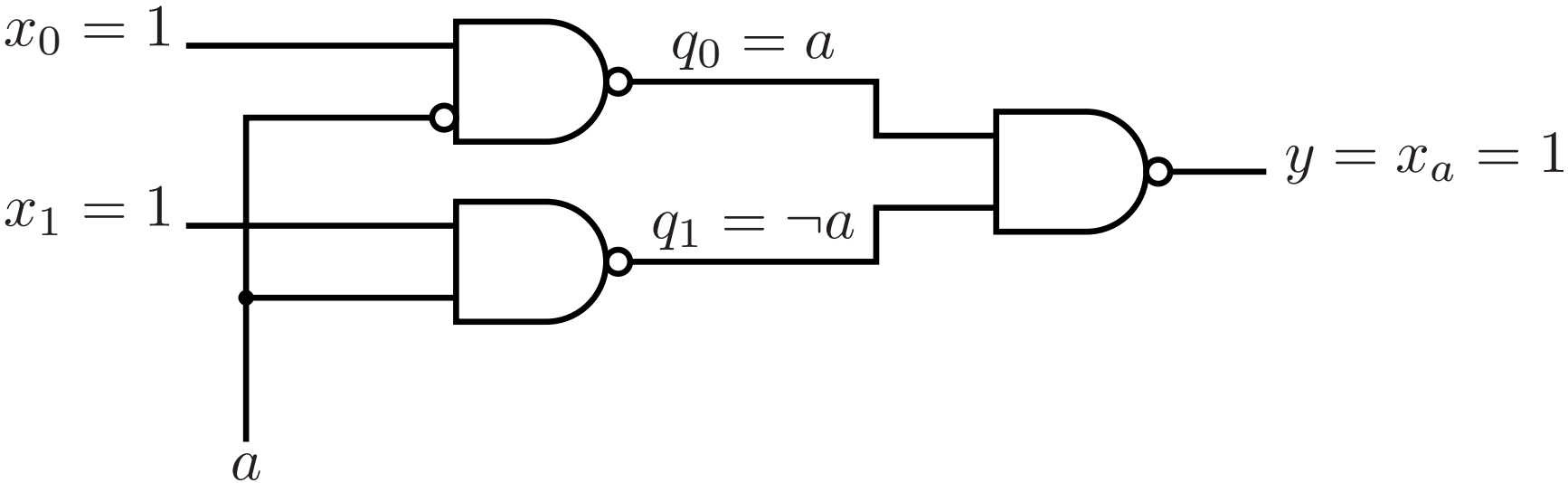
Najprostszy multiplekser

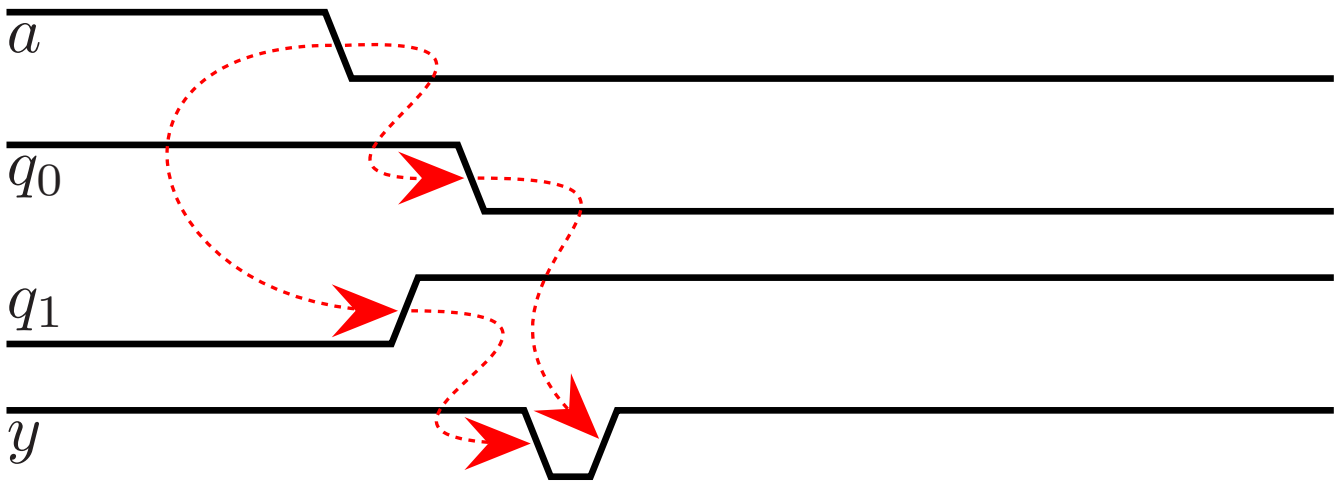




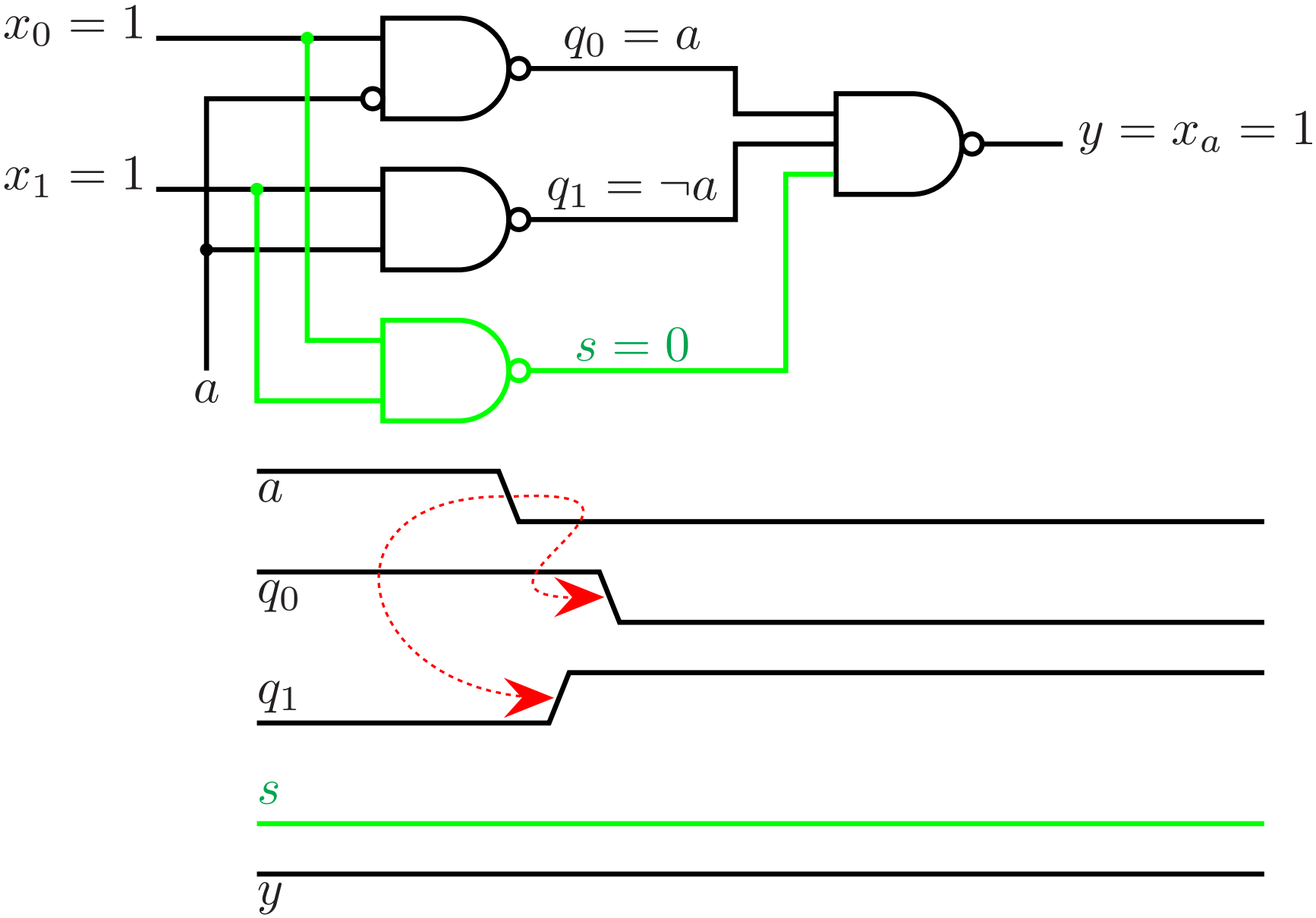
$$y = \neg(\neg(x_0 \wedge \neg a) \wedge \neg(x_1 \wedge a)) =$$
$$= (x_0 \wedge \neg a) \vee (x_1 \wedge a) = x_a$$

Hazard w układach kombinacyjnych



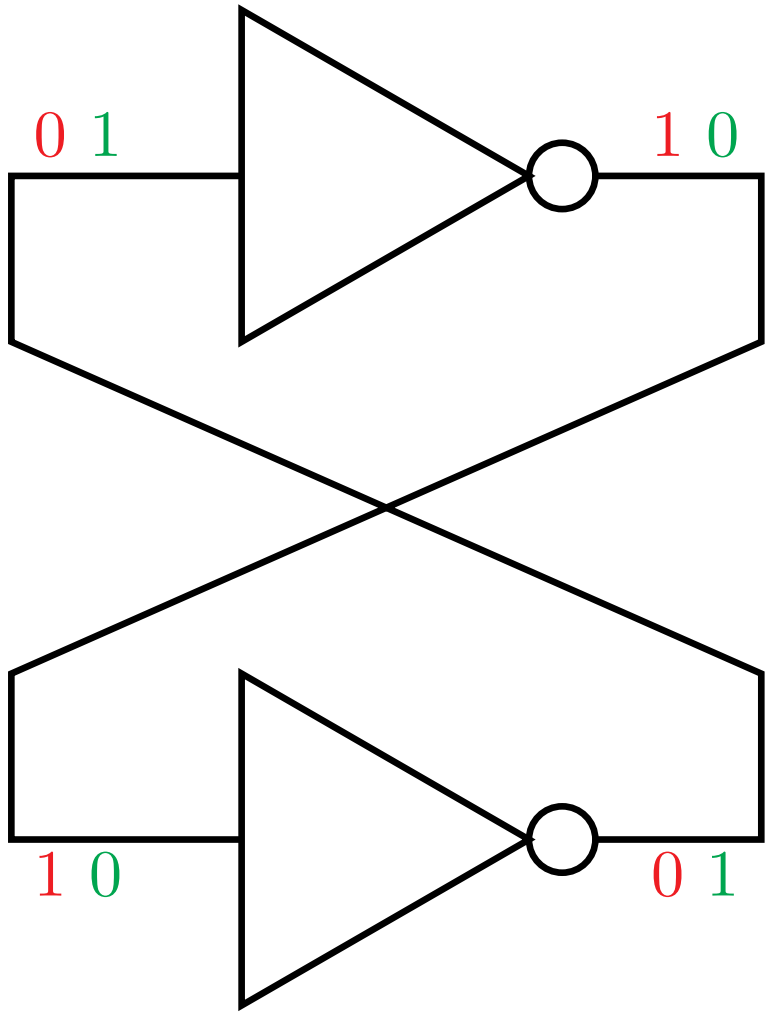


Bramka antyhazardowa



Układ sekwencyjny

- Powstaje przez dodanie sprzężenia zwrotnego do układu kombinacyjnego.
- Posiada pamięć – stan wewnętrzny.

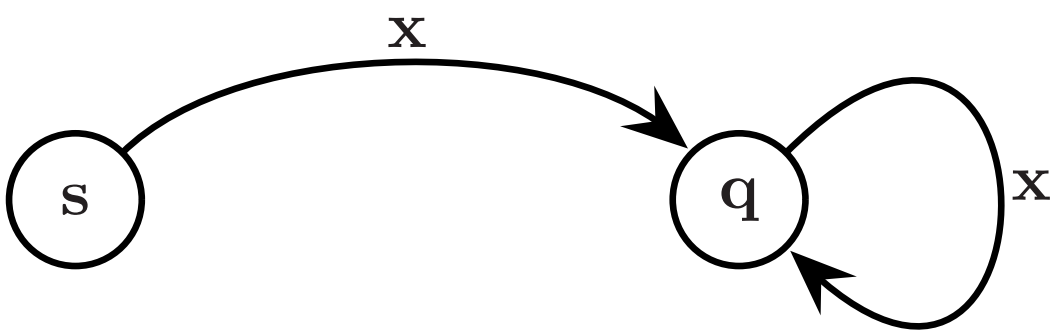


Podział układów sekwencyjnych

- Układy asynchroniczne
  - zmiana stanu wewnętrznego może być wywołana zmianą stanu na dowolnym wejściu.
- Układy synchroniczne
  - mają wyróżnione wejście zegarowe;
  - zmiana stanu wewnętrznego może nastąpić tylko podczas zmiany poziomu sygnału zegarowego, na jego zboczu narastającym lub opadającym.

Reprezentracja układów sekwencyjnych

- Wygodnie jest reprezentować w postaci etykietowanego grafu.
- Wierzchołki to stany.
- Etykiety na krawędziach to wartości sygnałów wejściowych.

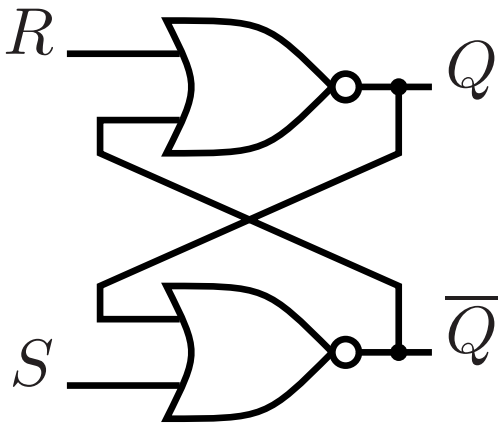


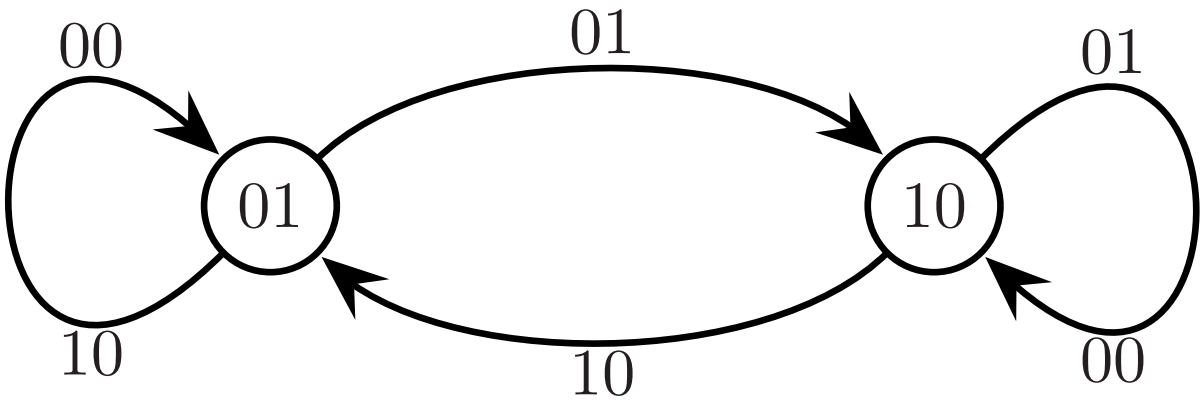
Przykład układu asynchronicznego

- Przerzutnik SR (ang. *set-reset*), nazywany też RS
- Wersja NOR

$$\mathbf{x} = \langle R, S \rangle \in \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle\}$$

$$\mathbf{q} = \langle Q, \overline{Q} \rangle \in \{\langle 0,1\rangle, \langle 1,0\rangle\}$$



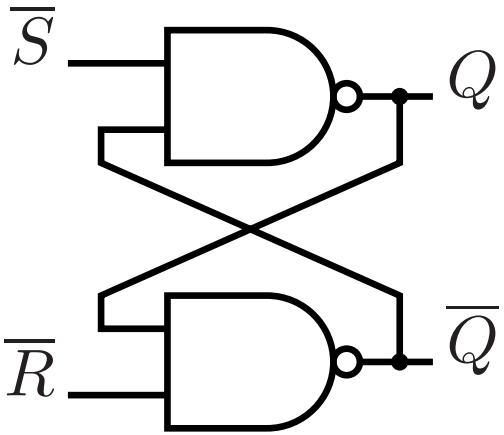


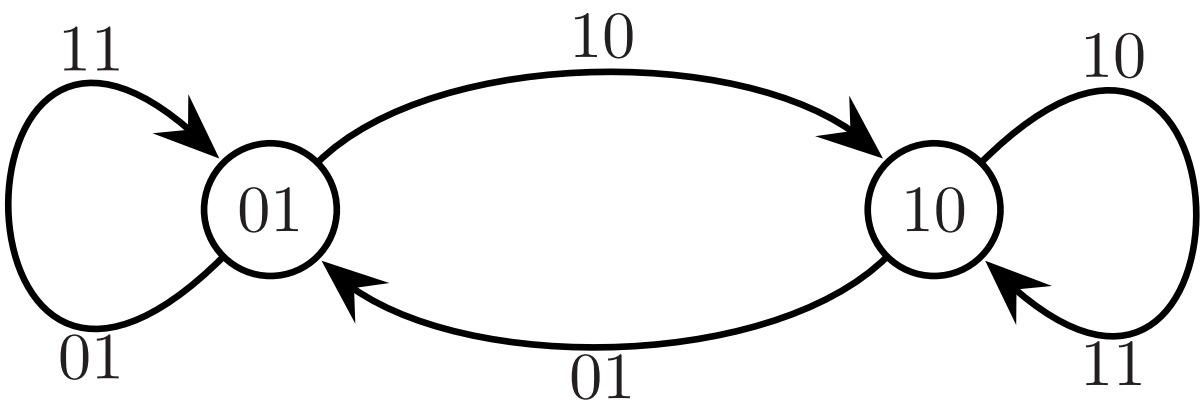
Przerzutnik SR, cd.

▷ Wersja NAND

$$\mathbf{x} = \langle \overline{R}, \overline{S} \rangle \in \{\langle 1,1\rangle, \langle 1,0\rangle, \langle 0,1\rangle\}$$

$$\mathbf{q} = \langle Q, \overline{Q} \rangle \in \{\langle 0,1\rangle, \langle 1,0\rangle\}$$



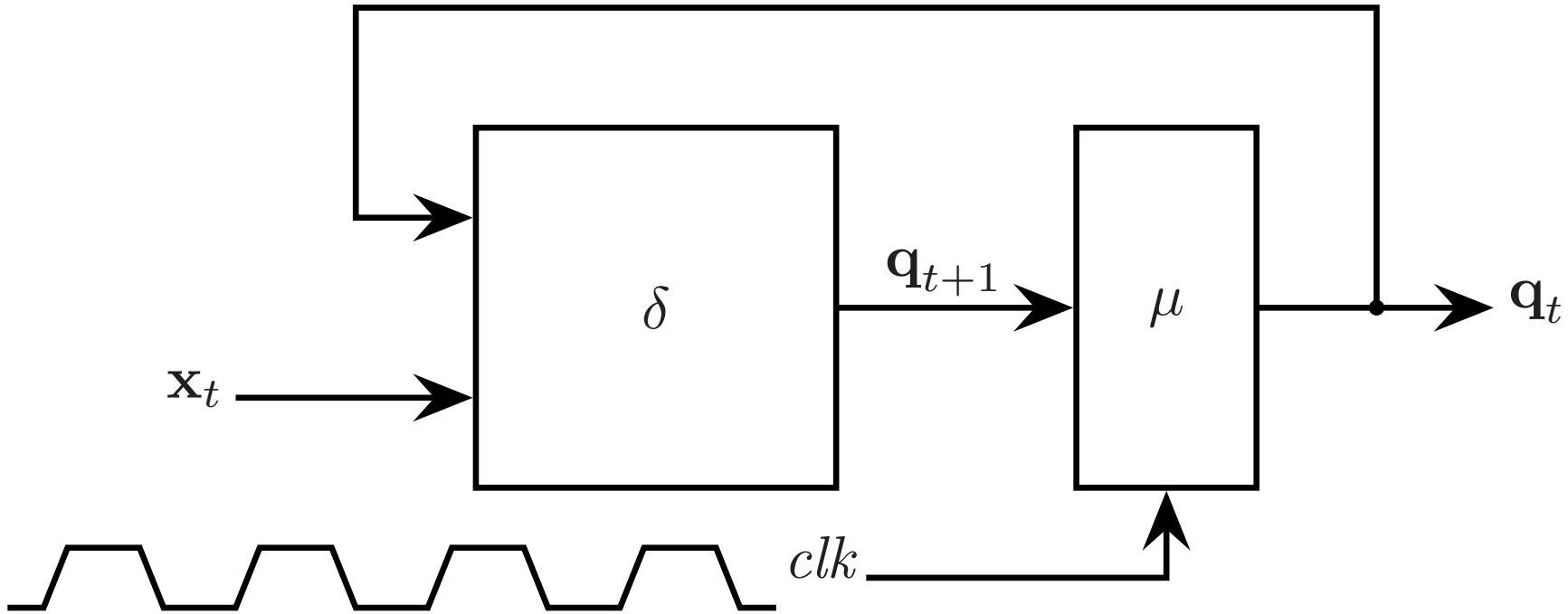


Hazard w układach asynchronicznych

- Występuje z tych samych powodów, co w układach kombinacyjnych.
- Jego skutki są dużo poważniejsze.
- Może powodować fałszywe przejścia między stanami, wyścigi.
- Projektowanie układów asynchronicznych jest bardzo trudne.

Układ synchroniczny

- Dyskretny czas $t \in \mathbb{Z}$ wyznaczany sygnałem taktującym (ang. *clock*)
- Brak problemów z hazardami $\mathbf{q}_{t+1} = \delta(\mathbf{q}_t, \mathbf{x}_t)$
- Pamięć zatrzaskowa μ np. z przerzutników D

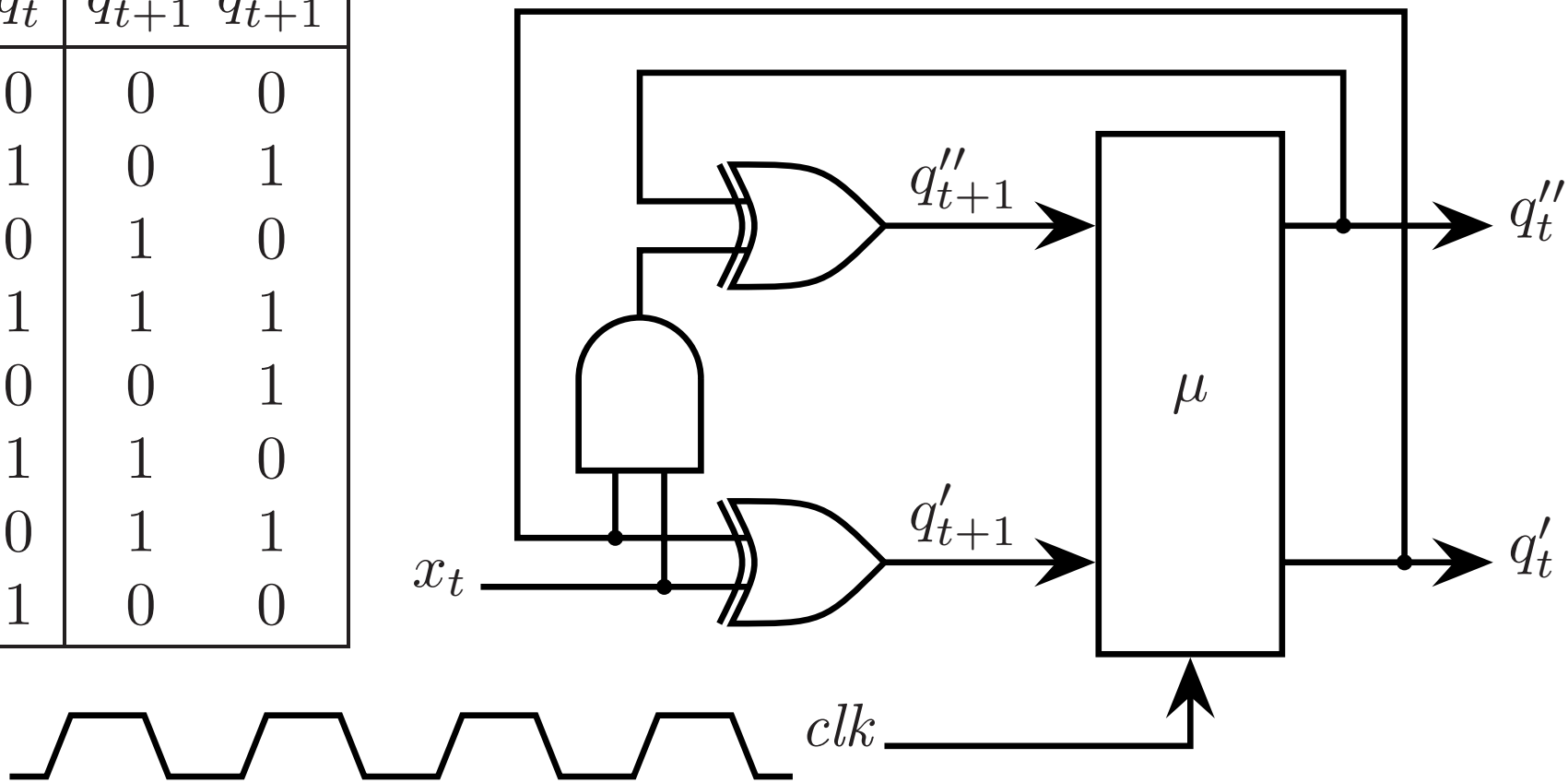


Przykład układu synchronicznego

- Układ zliczający modulo cztery

- Tablica prawdy i schemat

x_t	q''_t	q'_t	q''_{t+1}	q'_{t+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0



Układy asynchroniczne a synchroniczne

- Uważa się, że asynchroniczna realizacja układu cyfrowego może być szybsza, pobierać mniej energii i generować mniej zakłóceń elektromagnetycznych niż odpowiednia jego realizacja synchroniczna.

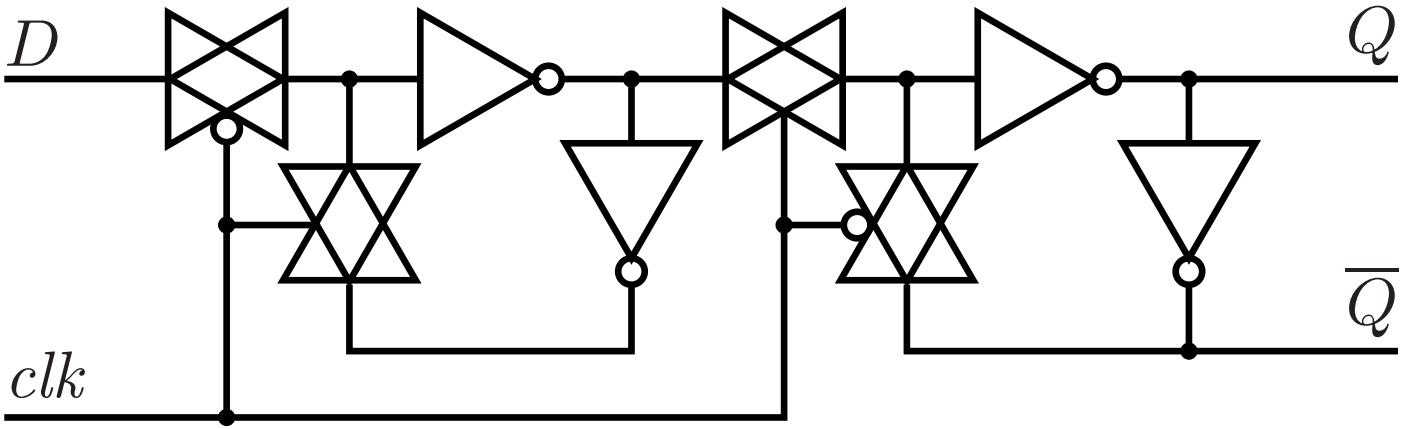
- Projektowanie układów synchronicznych jest dużo prostsze niż asynchronicznych – wystarczy zapewnić, aby wszystkie hazardy wywołane zmianą poziomu sygnału zegarowego zakończyły się przed kolejną jego zmianą.

- Projektowanie układów synchronicznych można w dużym stopniu zautomatyzować. Nie stworzono zadowalających narzędzi dla układów asynchronicznych.

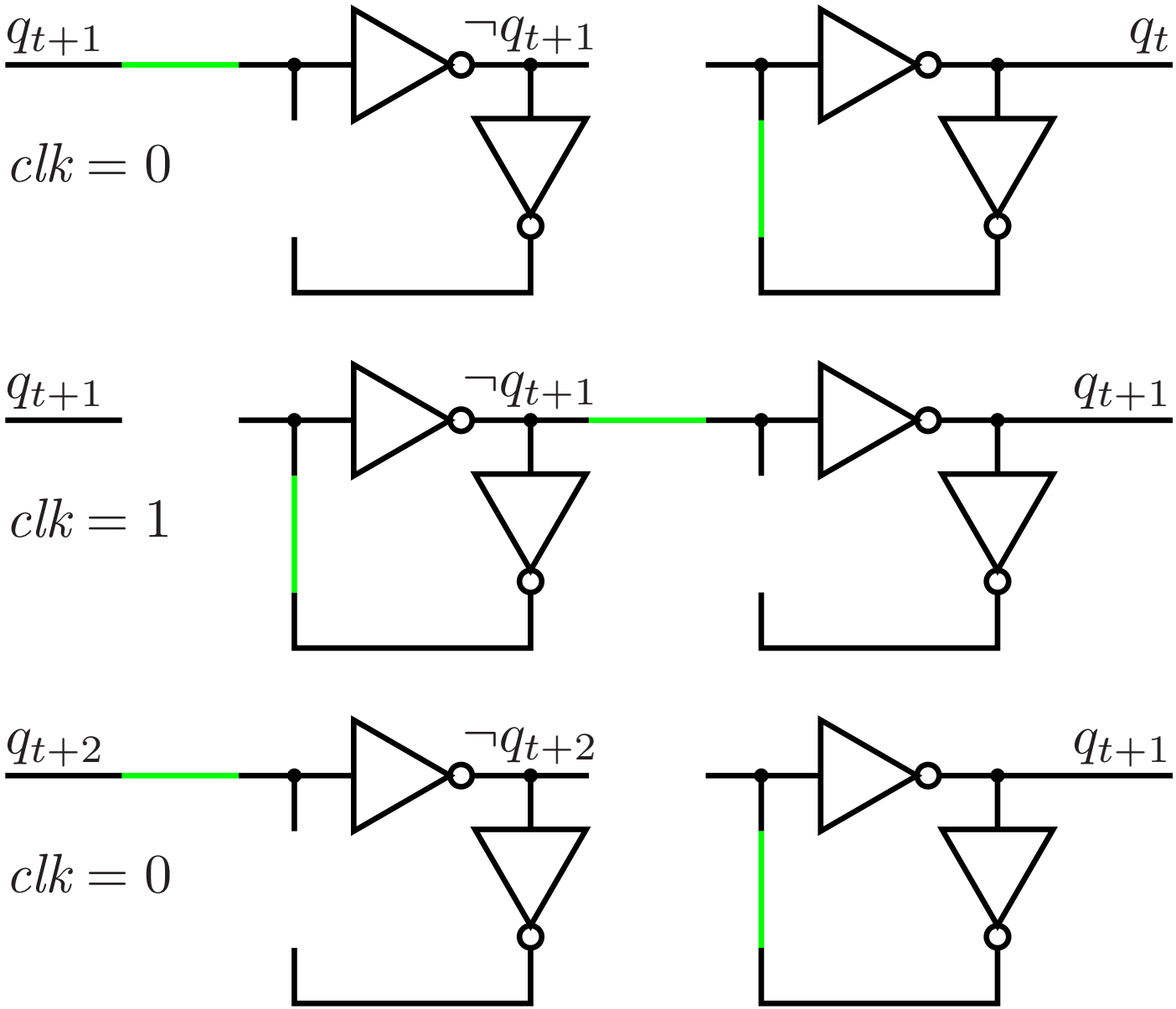
- Obecnie wszystkie duże układy cyfrowe, w tym mikroprocesory, projektuje się jako synchroniczne.

Przerzutnik D – uproszczony schemat

- Projektuje się jako układ asynchroniczny.
- Używa się do konstrukcji pamięci stanu w układzie synchronicznym jako czarnej skrzynki.



Przerzutnik D – pamięć zatrzaskowa



Morał z dotychczasowych rozważań

- Z układów cyfrowych można zbudować najważniejsze składniki komputera.
- Układy arytmetyczne to cyfrowe układy kombinacyjne.
- Układy sterujące to cyfrowe synchroniczne układy sekwencyjne.

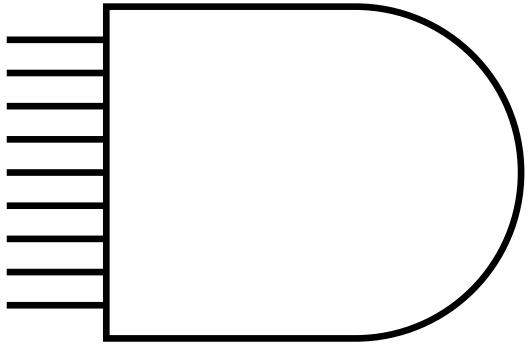
Komputery powinny ...

- wykonywać obliczenia poprawnie,
- być szybkie,
- zużywać mało energii.

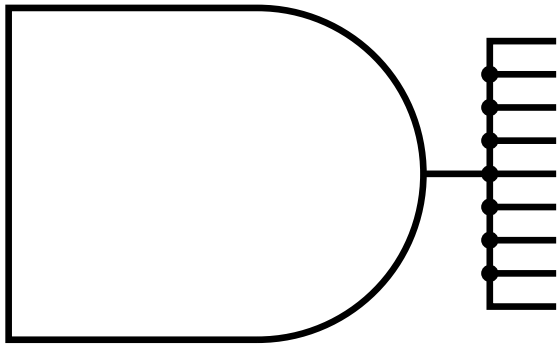
Sprzeczność!

Ograniczenia konstrukcyjne

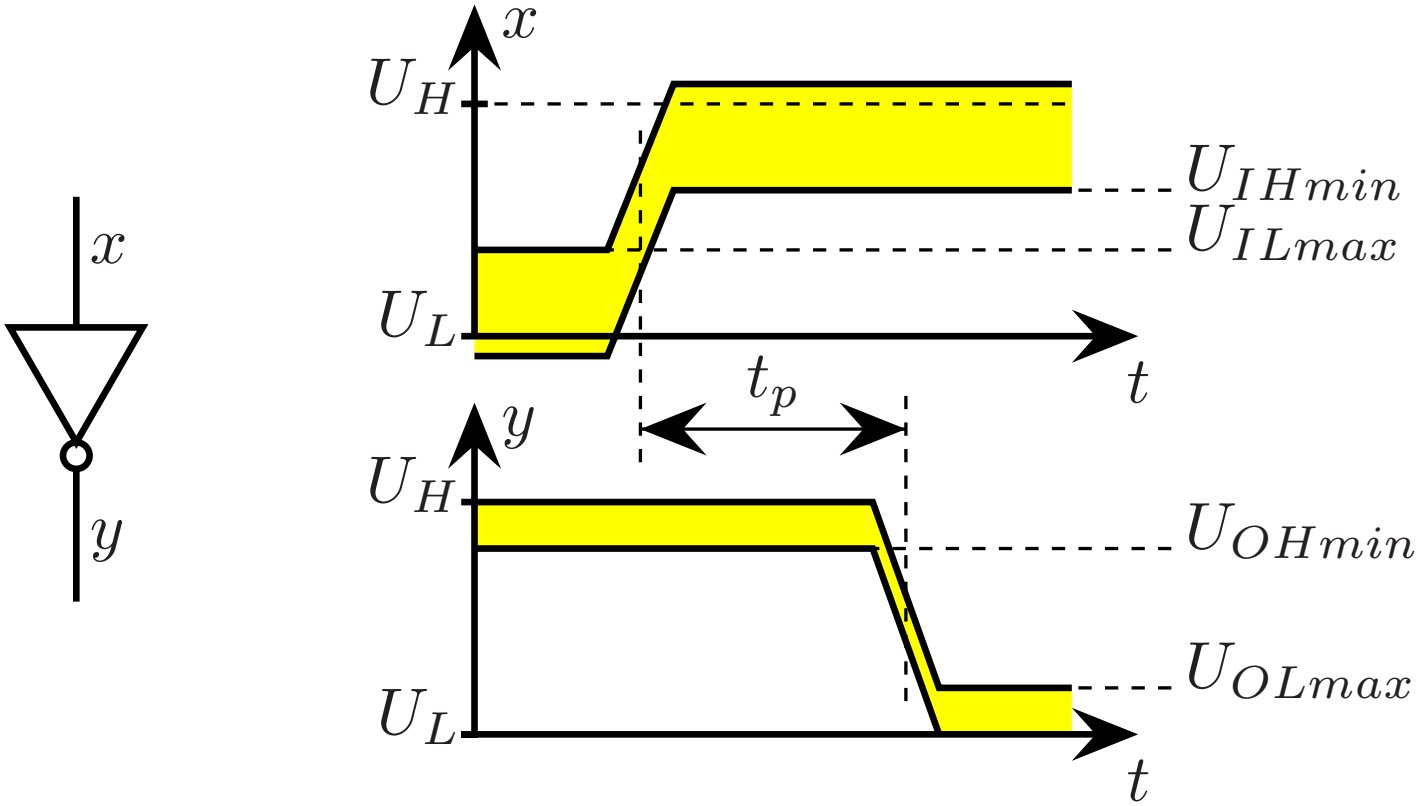
fan-in



fan-out



Margines zakłóceń i czas propagacji



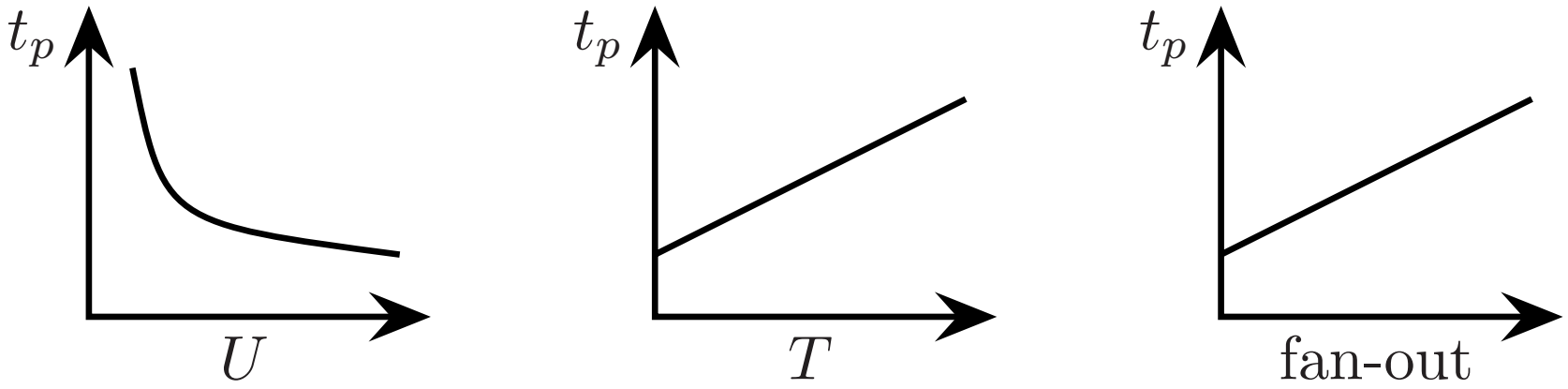
$$NMH = U_{OHmin} - U_{IHmin}$$

$$NML = U_{ILmax} - U_{OLmax}$$

Czas propagacji

$$t_p \sim \frac{1}{f_{max}}$$

t_p – czas propagacji [s]
f_{max} – maksymalna częstotliwość taktowania [Hz]

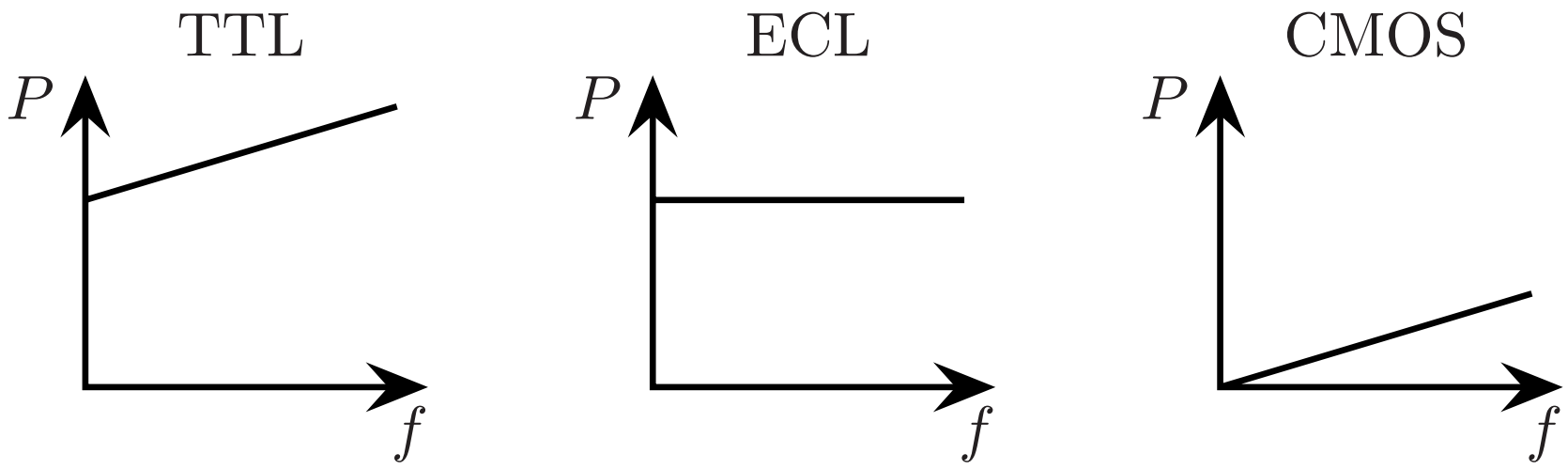


U – napięcie zasilania [V]
T – temperatura pracy [K]

Pobierana moc (1)

$$P = (G + Cf)U^2$$

P – pobierana moc [W]
f – częstotliwość taktowania [Hz]
U – napięcie zasilania [V]



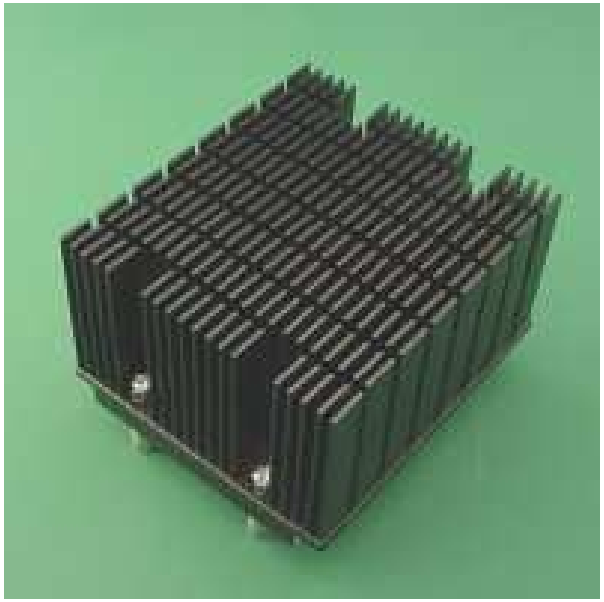
Pobierana moc (2)

- Producenci podają wartość P dla nominalnych wartości U i f.
- We współcześnie stosowanych technologiach, bazujących na CMOS, parametr G:
  - ma małą wartość – ma pomijalny wpływ na pobieraną moc przy dużej częstotliwości taktowania,
  - rośnie wykładniczo z temperaturą – wpływa na pobieraną moc w trybach uśpienia – istotne w urządzeniach przenośnych.
- Producenci czasem podają dla nominalnego napięcia zasilania wartość iloczynu CU (np. w μA/MHz) albo wartość iloczynu CfU (np. w μA) dla ustalonych wartości f.
- Producenci czasem podają wykres zależności iloczynu GU od temperatury (np. w μA) dla $f = 0$ i nominalnego napięcia zasilania.

Odprowadzanie ciepła (1)

$$T_c = T_a + \Theta_{ca} P$$

T_c – temperatura obudowy [K]
T_a – temperatura otoczenia [K]
Θ_{ca} – rezystancja termiczna obudowa-otoczenie [$\mathrm{K} \cdot \mathrm{W}^{-1}$]
P – wydzielana moc [W]



Odprowadzanie ciepła (2)

$$T_j = T_c + \Theta_{jc} P$$

T_j – temperatura struktury półprzewodnikowej (złącza) [K]
T_c – temperatura obudowy [K]
Θ_{jc} – rezystancja termiczna struktura-obudowa [$\mathrm{K} \cdot \mathrm{W}^{-1}$]
P – wydzielana moc [W]

▷ Dla struktur krzemowych maksymalna temperatura pracy nie powinna przekraczać 125°C – 150°C.

Odprowadzanie ciepła (3)

$$P = qc_p\Delta T$$

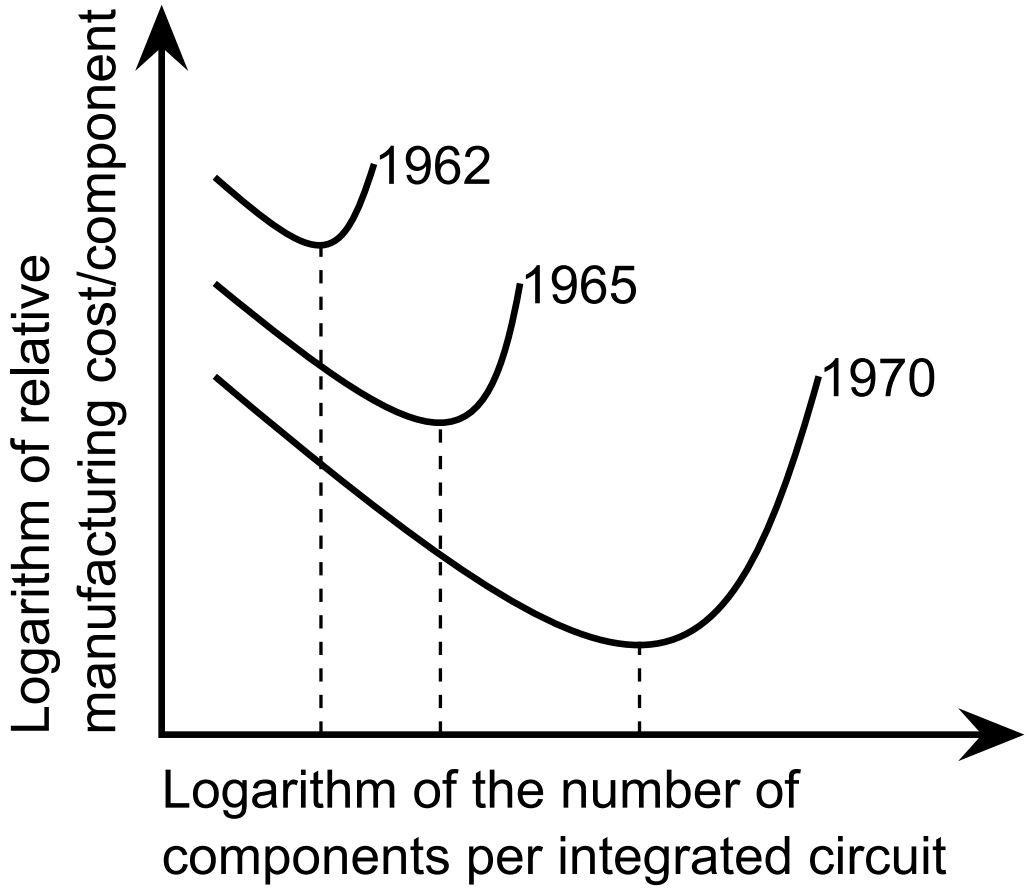
P – wydzielana moc [W]
q – szybkość przepływu czynnika chłodzącego [$\mathrm{kg}\cdot\mathrm{s}^{-1}$]
c_p – ciepło właściwe czynnika chłodzącego [$\mathrm{J}\cdot\mathrm{kg}^{-1}\cdot\mathrm{K}^{-1}$]
ΔT – przyrost temperatury czynnika chłodzącego [K]

$c_p \approx 1005\frac{\mathrm{J}}{\mathrm{kg}\cdot\mathrm{K}}$, $\rho \approx 1\frac{\mathrm{kg}}{\mathrm{m}^3}$

$c_p \approx 4190\frac{\mathrm{J}}{\mathrm{kg}\cdot\mathrm{K}}$, $\rho \approx 1000\frac{\mathrm{kg}}{\mathrm{m}^3}$

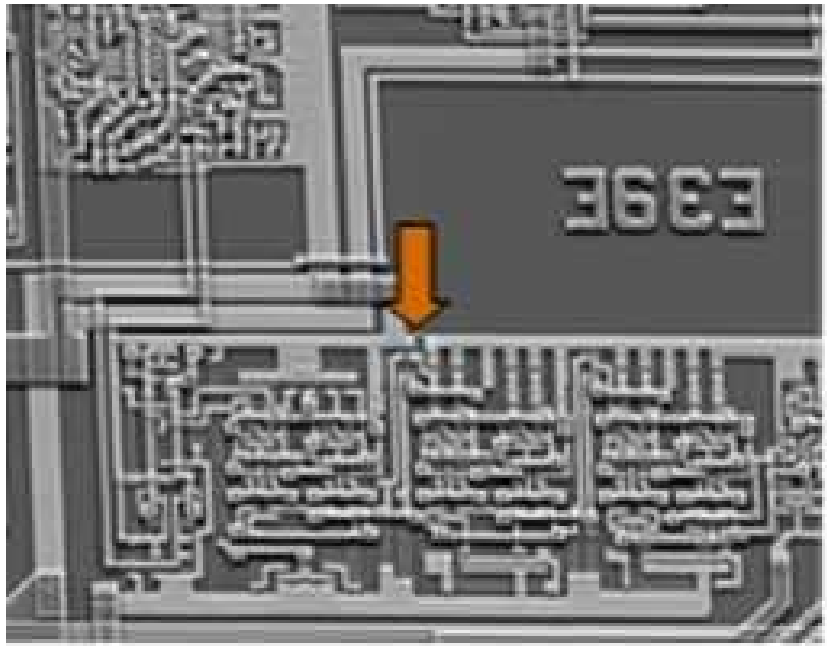
Prawo Moore'a

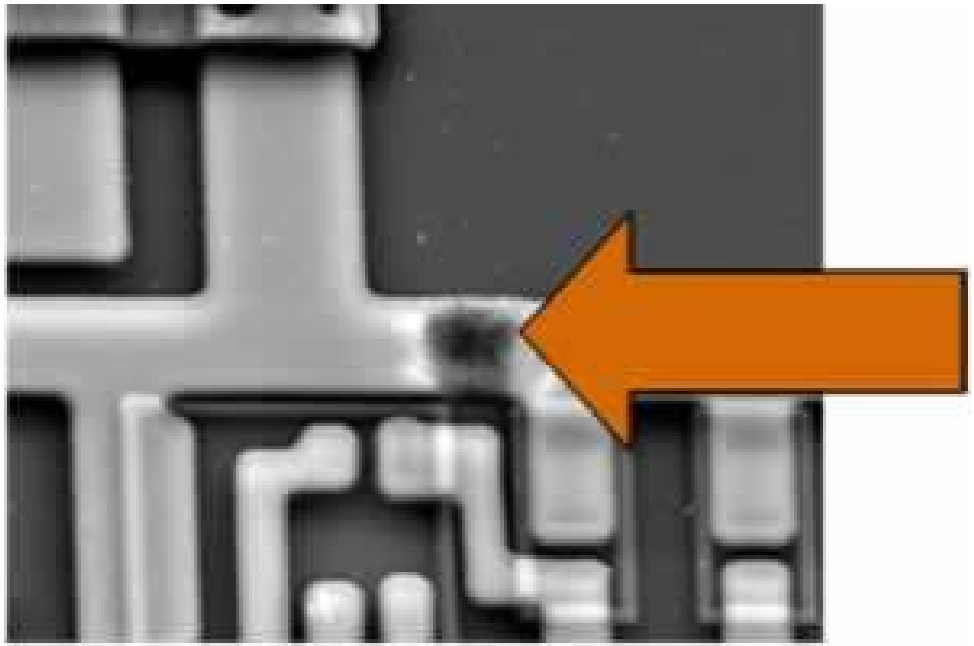
Gordon Moore, Cramming more components onto integrated circuits, Electronics Magazine, Volume 38, Number 8, April 19, 1965.



Układy wrażliwe na ładunki elektrostatyczne

ESD – Electrostatic Sensitive Devices





ESD – ochrona

- Powierzchnia stołu odprowadzająca ładunki, ale nie metalowa!
- Opaska połączona z uziemieniem przez dużą rezystancję, aby nie ulec porażeniu!
- Antystatyczne opakowania
- Antystatyczna wykładzina podłogowa
- Antystatyczne ubrania